

Docket No.: 65933-048

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Shigeto KOBAYASHI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 30, 2003	:	Examiner: Unknown
	:	
For:		MULTI-STAGE PIPELINE TYPE ANALOG-TO-DIGITAL CONVERSION CIRCUIT FOR ADJUSTING INPUT SIGNALS

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

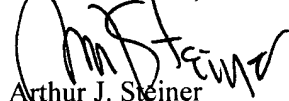
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2002-291720, filed October 3, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Arthur J. Steiner  
Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJS:tlb  
Facsimile: (202) 756-8087  
**Date: September 30, 2003**

05933-048  
KOBAYASHI  
September 30, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月    3 日  
Date of Application:

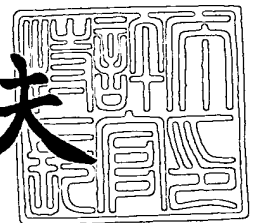
出 願 番 号            特 願 2 0 0 2 - 2 9 1 7 2 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 9 1 7 2 0 ]

出 願 人            三 洋 電 機 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年    8 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 5 2 1 6

【書類名】 特許願

【整理番号】 NPC1020031

【提出日】 平成14年10月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/14  
H03M 1/38  
H03F 3/45

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会  
社内

【氏名】 小林 重人

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100105924

【弁理士】

【氏名又は名称】 森下 賢樹

【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 091329

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号変換方法とこの方法を利用可能な信号変換回路およびアナログ-デジタル変換回路

【特許請求の範囲】

【請求項 1】 入力信号の範囲を判定するステップと、  
前記入力信号が変換性能の良好な範囲に収まるよう前記判定の結果に応じて参照信号のレベルを設定するステップと、  
前記参照信号を用いて前記入力信号に調整を加えた値を保持するステップと、  
前記保持するステップと並行して前記入力信号を目的の信号に変換するステップと、  
前記保持する入力信号に生じた一時的な値の変動を解消するステップと、  
を有することを特徴とする信号変換方法。

【請求項 2】 入力信号の値が変換性能の良好な範囲に収まるよう前記入力信号の範囲に応じて参照信号のレベルを設定する第 1 調整ユニットと、  
前記入力信号を目的の信号へ変換する途上で、前記参照信号の作用によって前記入力信号に生じた一時的な値の変動を解消する第 2 調整ユニットと、  
を有することを特徴とする信号変換回路。

【請求項 3】 入力アナログ電圧の値が変換性能の良好な範囲に収まるよう前記入力アナログ電圧の範囲に応じて参照信号のレベルを設定する第 1 調整ユニットと、  
前記入力アナログ電圧の値をデジタル値へ変換する A/D 変換部と、  
前記参照信号を作用させた結果として変換途上に生じる前記入力アナログ電圧の値の一時的な変動を解消する第 2 調整ユニットと、  
を有することを特徴とするアナログ-デジタル変換回路。

【請求項 4】 前記第 1 調整ユニットは、前記入力アナログ電圧の範囲を判定する比較部と、前記設定された参照信号をもとに前記良好な範囲に収まるよう前記入力アナログ電圧の値に一時的な変動を加えた値を保持するサンプルホールド部と、を含むことを特徴とする請求項 3 に記載のアナログ-デジタル変換回路。

【請求項5】 前記AD変換部は、前記入力アナログ電圧の値を所定ビット数で表現されるデジタル値に変換し、

前記第2調整ユニットは、前記デジタル値に対し前記一時的な変動を解消する調整を加えてアナログ値に変換するDA変換部と、そのアナログ値を前記サンプルホールド部に保持されるアナログ電圧の値から差し引く減算部と、を含むことを特徴とする請求項4に記載のアナログーデジタル変換回路。

【請求項6】 入力アナログ電圧をもとにそれぞれが段階的に上位から数ビットずつのデジタル値を生成する複数段の変換ユニットを有するとともに、それらの変換ユニットのうちいずれかが前記第1調整ユニットおよび第2調整ユニットを含むことを特徴とする請求項3から5のいずれかに記載のアナログーデジタル変換回路。

【請求項7】 アナログ信号をデジタル信号へ変換する回路であって、  
入力アナログ電圧の値を取得して所定ビット数のデジタル値に変換するAD変換部と、

前記AD変換部が取得すべき入力アナログ電圧が変換性能の良好な範囲に収まるよう調整された値を取得して保持するサンプルホールド部と、  
を有することを特徴とするアナログーデジタル変換回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、アナログーデジタル変換器に関する。本発明は特に、パイプライン型アナログーデジタル変換器の性能を向上させる技術に関する。

##### 【0002】

#### 【従来の技術】

従来より、多段パイプライン型のアナログーデジタル変換器（以下、「AD変換器」という。）は、その内部にサンプルホールド回路や増幅回路が利用されるが（例えば、特許文献1参照。）、これらの出力可能な電圧範囲はそれぞれの特性としてあらかじめ決まっている。

##### 【0003】

**【特許文献 1】**

特開平 9-275342 号公報 (第 9-16 頁、第 1 図)

**【特許文献 2】**

特開平 9-69776 号公報 (第 4-6 頁、第 1 図)

**【0004】****【発明が解決しようとする課題】**

上記回路の出力電圧は理論的に入力電圧に比例するが、回路の特性として定まる有効な出力範囲を超えると必ずしも比例した出力が得られない。したがって入力電圧値によっては正確な値を次の段へ伝達できず、全体の変換精度が低下してしまうおそれがあった。

**【0005】**

一方、AD変換器全体の設計として低電圧化は一つの大きなテーマであり、構成する回路の出力範囲を大きくすることは課題に逆行する。装置全体の低電圧化が進むに伴い、出力範囲の狭い回路を採用する必要性はより高まっていくものと考えられる。

**【0006】**

本発明はこうした状況に鑑みなされたものであり、その目的はAD変換器の変換精度を高める点にある。別の目的は、出力範囲の狭いサンプルホールド回路や差動増幅回路を用いても変換精度を維持できる設計を実現する点にある。さらに別の目的は、回路の省電力化にある。さらに別の目的は、低電圧でも動作可能なAD変換器を実現する点にある。

**【0007】****【課題を解決するための手段】**

本発明のある実施の形態は信号変換方法である。この方法は、入力信号の範囲を判定するステップと、その入力信号が変換性能の良好な範囲に収まるよう判定の結果に応じて参照信号のレベルを設定するステップと、その参照信号を用いて入力信号に調整を加えた値を保持するステップと、その保持するステップと並行して入力信号を目的の信号に変換するステップと、保持する入力信号に生じた一時的な値の変動を解消するステップと、を有する。

## 【0008】

入力信号の範囲の判定は、例えば入力信号の電圧値が正であるか負であるかの判定であってもよいし、入力信号が所定の範囲に属するか否かの判定であってもよい。「変換性能」とは、入力信号を所望の形式に変換する際の精度や効率などの能力であってもよい。「良好な範囲」は、例えば、変換回路を構成する素子がつまみ出力特性において理想的な値または期待通りの値が得られる範囲である。「参照信号」は、基準電圧をもとに設定される信号であって、例えば上記の変換を処理するとき入力信号の値を取得して一時的に保持するための回路が参照してもよい。

## 【0009】

参照信号は入力信号の範囲に応じて異なる値が設定される。参照信号が0V以外に設定されると、回路によって保持される値が一時的に変動して本来の値をなさない。その代わりに、回路が保持する値は変換性能を良好に保つ範囲に属する。一時的な変動は、変換の途上において別の調整を行うことによって解消する。以上の方法により、変換性能を良好に保った状態のまま入力信号を目的の信号に変換することができる。入力信号の電圧値が所定の範囲を超えないのでより低電圧での変換が可能となり、消費電力を低減できる。

## 【0010】

本発明の別の形態は信号変換回路である。この回路は、入力信号の値が変換性能の良好な範囲に収まるようその入力信号の範囲に応じて参照信号のレベルを設定する第1調整ユニットと、入力信号を目的の信号へ変換する途上で、参照信号の作用によって入力信号に生じた一時的な値の変動を解消する第2調整ユニットと、を有する。

## 【0011】

第1調整ユニットは、参照信号に基づいて信号をサンプリングしてこれを保持するサンプルホールド回路、または参照信号に基づいて信号を増幅する増幅回路を含んでもよい。これらの回路の出力は、レベルが調整された参照信号の作用によって一定範囲に収まるよう変動してもよい。これにより、出力値と入力値の比例関係が維持される。第2調整ユニットによる変動の解消方法は、例えば保持さ

れ値を加減するときに、その加減する値を調整する方法がある。

#### 【0012】

以上の回路により、信号変換性能を良好に保った状態のまま入力信号を目的の信号に変換することができる。また入力信号が一定範囲を超えないのでより低電圧にて変換が可能となり、消費電力を低減できる。

#### 【0013】

本発明のさらに別の形態はアナログーデジタル変換回路である。この回路は、入力アナログ電圧の値が変換性能の良好な範囲に収まるよう入力アナログ電圧の範囲に応じて参照信号のレベルを設定する第1調整ユニットと、入力アナログ電圧の値をデジタル値へ変換するAD変換部と、参照信号を作用させた結果として変換途上に生じる入力アナログ電圧の値の一時的な変動を解消する第2調整ユニットと、を有する。

#### 【0014】

AD変換部は、入力アナログ電圧の値を所定ビット数で表現されるデジタル値に変換するための複数のコンパレータとエンコーダなどにより構成される点で狭義のアナログーデジタル変換回路といえる。このようなAD変換部を複数段設け、入力アナログ電圧をもとにそれぞれが段階的に上位から数ビットずつのデジタル値を生成するパイプライン構成としてもよい。その場合、各段が何ビットずつ生成するかは設計思想に基づいて任意に設定できる。第1調整ユニットおよび第2調整ユニットをいずれの段に設けてもよい。

#### 【0015】

第1調整ユニットは、入力アナログ電圧の範囲を判定する少なくとも一つのコンパレータと、調整された参照信号をもとに良好な範囲に収まるよう入力アナログ電圧の値に一時的な変動を加えた値を保持するサンプルホールド部と、を含んでもよい。第2調整ユニットは、AD変換部の出力に一時的な変動を解消する調整を加えてアナログ値に変換するDA変換回路と、そのアナログ値をサンプルホールド部に保持されるアナログ電圧の値から差し引いて信号増幅する差動増幅回路と、を含んでもよい。

#### 【0016】



サンプルホールド回路が保持する値において意図しない誤差があると全体的な A/D 変換の精度も低下してしまう。したがって、サンプルホールド回路の出力に誤差が生じてしまうような入力電圧に対しては、後に相殺することを前提として意図的な変動をあらかじめ加えておくことにより全体の誤差を低減させる。その変動と同じ変動を D/A 変換回路の出力値にも反映させることで相殺が実現される。

#### 【0017】

以上の回路により、A/D 変換性能を良好に保つとともに、より低電圧にて変換が可能となり、消費電力を低減できる。また、調整のための回路は、サンプルホールド回路および D/A 変換回路の内部設計において実現でき、必要な構成を最小限に留める。

#### 【0018】

本発明のさらに別の形態もまたアナログ-デジタル変換回路である。この回路は、アナログ信号をデジタル信号へ変換する回路であって、入力アナログ電圧の値を取得して所定ビット数のデジタル値に変換する A/D 変換部と、A/D 変換部が取得すべき入力アナログ電圧が変換性能の良好な範囲に収まるよう調整された値を取得して保持するサンプルホールド部と、を有する。

#### 【0019】

この回路は、サンプルホールド回路の入力と出力の関係が理想的に保たれるよう調整する点で目的や思想における他の形態との共通点がある。一方、この回路で着目すべき点は、A/D 変換部によって変換されるべき値と、サンプルホールド部によって保持されるべき値が相違することである。すなわち、A/D 変換部には入力アナログ値がそのまま入力されるのに対し、サンプルホールド部へはいったん調整された値が入力される。したがって、A/D 変換部はサンプルホールド部が保持する前のアナログ値を変換対象とする。また、A/D 変換部のデジタル出力を再度アナログ値に変換するときにサンプルホールド部に対する調整と同様の調整を施すことにより、全体の変換精度は良好に保たれる。

#### 【0020】

サンプルホールド部へ入力されるべき値は、A/D 変換部の出力を再度アナログ

値に変換してその値を元の入力アナログ値から差し引いた値であってもよい。この場合、サンプルホールド部へ入力される前にある程度電圧値が小さくなるので、変換性能が良好な範囲に収まりやすい。これらの構成によってもAD変換性能を良好に保ち、低電圧での変換、消費電力の低減を実現できる。

#### 【0021】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、などの間で変換したものもまた、本発明の態様として有効である。

#### 【0022】

##### 【発明の実施の形態】

##### (第1実施形態)

図1は、第1実施形態におけるアナログ-デジタル変換回路の構成を示す。アナログ-デジタル変換回路100は、第1変換部10、第2変換部30、第3変換部50、および第4変換部70を有するパイプライン型AD変換回路である。この回路は、第1変換部10から第4変換部70までの4段にわたり、4ビット、2ビット、2ビット、2ビットの順で計10ビットのAD変換を処理する。

#### 【0023】

第1変換部10において、第1AD変換部20は入力アナログ電圧 $V_{in}$ を4ビットのデジタル値に変換する。そのデジタル値は、4段構成である第1ラッチ回路24によって4クロック遅延された上でデジタル出力回路26へ入力される。第1AD変換部20の出力は、第1DA変換部22によって再度アナログ値に変換され、第1増幅回路18へ入力される。

#### 【0024】

入力アナログ電圧 $V_{in}$ は、サンプルホールド回路16によってサンプリングされ、第1AD変換部20および第1DA変換部22の処理が終わるまで保持される。第1増幅回路18は、サンプルホールド回路16が保持する値から第1DA変換部22が出力した値を差し引いた差分を増幅する。増幅された値は次段の第2変換部30へ送られる。なお、本実施形態ではサンプルホールド回路16が2倍の増幅率に設定され、第1増幅回路18が1倍の増幅率に設定される。

#### 【0025】

ここで、サンプルホールド回路 16 の出力電圧値が理論的には入力電圧値に比例するよう構成された場合であっても、所定の範囲を超えた電圧が入力されると、必ずしも比例した出力が得られない。例えば図 2 に示すように、理論的には増幅率 1 倍のサンプルホールド回路であっても、電圧値 a から b の範囲を超えた電圧が入力されたときには、入出力が比例しない結果となり得る。

#### 【0026】

入力に比例しない出力が次段の第 2 変換部 30 に伝達されると、アナログデジタル変換回路 100 全体としての変換精度が低下する。これを調整するために図 1 の第 1 調整ユニット 11 は、入力アナログ電圧  $V_{in}$  が所定の範囲に収まるようあらかじめ調整を加える。サンプルホールド回路 16 の出力は結果的に変動した値となるが、第 2 調整ユニット 21 が DA 変換の値に同様の調整を加えることにより、変動を相殺する。

#### 【0027】

比較部 12 は、入力アナログ電圧  $V_{in}$  が正負いずれの値であるかを判定する。入力アナログ電圧  $V_{in}$  が正の値であれば 1 を出力し、負の値であれば 0 を出力する。この出力は、サンプルホールド回路 16 および第 1 DA 変換部 22 に送られる。この判定結果に応じて、サンプルホールド回路 16 は入力アナログ電圧  $V_{in}$  に調整を加える。第 1 DA 変換部 22 は、変換する値にサンプルホールド回路 16 と同様の調整を加える。第 1 増幅回路 18 によって差動増幅されると、サンプルホールド回路 16 および第 1 DA 変換部 22 による調整分が相殺されて、調整がなかった場合と同じ電圧値が得られる。これにより、精度を維持した AD 変換が実現される。

#### 【0028】

第 2 変換部 30 においては、第 1 増幅回路 18 によって増幅された値を第 2 AD 変換部 40 が 2 ビットのデジタル値に変換する。そのデジタル値が 3 段構成である第 2 ラッチ回路 44 により 3 クロック遅延されてデジタル出力回路 26 に入力される。第 2 AD 変換部 40 が出力するデジタル値は、第 2 DA 変換部 42 によって再びアナログ値に変換され、第 3 増幅回路 38 へ入力される。第 1 増幅回路 18 からの出力は第 2 増幅回路 36 によってさらに増幅される。第 3 増幅回路

38は、第2増幅回路36の出力から第2DA変換部42の出力を差し引いた差分を増幅して、次段の第3変換部50へ送る。

#### 【0029】

第3変換部50において、第3AD変換部60は第3増幅回路38の出力を2ビットのデジタル値に変換する。そのデジタル値は、2段構成である第3ラッチ回路64により2クロック遅延されてデジタル出力回路26に入力される。第3AD変換部60の出力を第3DA変換部62が再びアナログ値に変換して第5増幅回路58へ入力する。第4増幅回路56は、第3増幅回路38の出力をさらに増幅する。第5増幅回路58は、第4増幅回路56の出力から第3DA変換部62の出力を差し引いた差分を増幅して、次段の第4変換部70へ送る。

#### 【0030】

第4変換部70においては、第5増幅回路58の出力が第4AD変換部72により2ビットのデジタル値に変換される。そのデジタル値は、1段構成である第4ラッチ回路84により1クロック遅延されてデジタル出力回路26に入力される。デジタル出力回路26は、第1AD変換部20、第2AD変換部40、第3AD変換部60、および第4AD変換部72の出力を受け取って、10ビットのデジタル値Doutを合成して出力する。各段のAD変換部からの出力は、第1ラッチ回路24、第2ラッチ回路44、第3ラッチ回路64、第4AD変換部72による遅延で同期がとられる。

#### 【0031】

なお、サンプルホールド回路16、第1AD変換部20、第1DA変換部22、第2AD変換部40、第2DA変換部42、第3AD変換部60、第3DA変換部62、第4AD変換部72は、それぞれ第1、2基準電圧VRT、VRBを参照する。

#### 【0032】

図3は、サンプルホールド回路の構成を示す。第1調整回路17は、サンプルホールド回路16が取得する電圧値が所定の範囲に収まるよう調整するための信号を生成する。第1調整回路17には第1、2電源供給線VDD、VSSと、比較部12から出力された判定結果CPortが入力される。これらの信号を用い

て第1調整回路17は第1～8調整信号CDS101～CDS108を生成して出力する。第1～8スイッチSWA101～SWA108は、第1～8調整信号CDS101～CDS108がハイのときにオンとなって第1基準電圧VRTが導通する。第9～16スイッチSWB101～SWB108は、第1～8調整信号CDS101～CDS108がローのときにオンとなって第2基準電圧VRBが導通する。第1～8スイッチSWA101～SWA108と第9～16スイッチSWB101～SWB108のいずれがオンになるかにより、参照される電圧が第1基準電圧VRTと第2基準電圧VRBで切り替わる。参照する電圧に応じた電荷が第1～8コンデンサC101～C108のそれぞれに蓄積される。

### 【0033】

第17～24スイッチSWA121～SWA128は、第1～8調整信号CDS101～CDS108がハイのときにオンとなって第2基準電圧VRBが導通する。第25～32スイッチSWB121～SWB128は、第1～8調整信号CDS101～CDS108がローのときにオンとなって第1基準電圧VRTが導通する。第17～24スイッチSWA121～SWA128と第25～32スイッチSWB121～SWB128のいずれがオンになるかにより、参照される電圧が第2基準電圧VRBと第1基準電圧VRTで切り替わる。参照する電圧に応じた電荷が第9～16コンデンサC121～C128のそれぞれに蓄積される。

### 【0034】

第1～8コンデンサC101～C108、第9～16コンデンサC121～C128は、すべて同じ容量値である。第33～40スイッチSWC101～SWC108と、第41～48スイッチSWC121～SWC128がすべてオフの状態を考える。第1～8コンデンサC101～C108の容量アレイから第1オペアンプ19へ差動入力される正側電圧Vref<sup>+</sup>は、電荷保存則より次式(1)に示される。

$$V_{ref}^{+} = VRT - K (VRT - VRB) / 8 \quad \dots (1)$$

### 【0035】

第9～16コンデンサC121～C128の容量アレイから第1オペアンプ1

9へ差動入力される負側電圧 $V_{ref-}$ は、電荷保存則より次式(2)に示される。

$$V_{ref-} = V_{RB} + K (V_{RT} - V_{RB}) / 8 \quad \dots (2)$$

### 【0036】

正側電圧 $V_{ref+}$ と負側電圧 $V_{ref-}$ は第1オペアンプ19に差動入力される。これらの差分は次式(3)に示される。

$$V_{ref+} - V_{ref-} = (V_{RT} - V_{RB}) - K (V_{RT} - V_{RB}) / 4 \quad \dots (3)$$

ここで、 $K$ は第1～8調整信号 $CDS101 \sim CDS108$ のうちローである信号の数を示す。第9～16スイッチ $SWB101 \sim SWB108$ のうち $K$ 個のスイッチがオンされて第2基準電圧 $V_{RB}$ と導通し、第1～8スイッチ $SWA101 \sim SWA108$ のうち $(8-K)$ 個のスイッチがオンされて第1基準電圧 $V_{RT}$ と導通する。また、第25～32スイッチ $SWB121 \sim SWB128$ のうち $K$ 個のスイッチがオンされて第1基準電圧 $V_{RT}$ と導通し、第17～24スイッチ $SWA121 \sim SWA128$ のうち $(8-K)$ 個のスイッチがオンされて第2基準電圧 $V_{RB}$ と導通する。

### 【0037】

第33～40スイッチ $SWC101 \sim SWC108$ と、第41～48スイッチ $SWC121 \sim SWC128$ がオンになると、第1～8コンデンサ $C101 \sim C108$ と第9～16コンデンサ $C121 \sim C128$ のそれぞれの一端に入力アナログ電圧 $V_{in}$ がかかる。その結果、正側電圧 $V^+$ と負側電圧 $V^-$ は次式(4)(5)の通りになる。

$$\begin{aligned} V^+ &= V_{in+} - V_{ref+} \\ &= V_{in+} - (V_{RT} - K (V_{RT} - V_{RB}) / 8) \quad \dots (4) \end{aligned}$$

$$\begin{aligned} V^- &= V_{in-} - V_{ref-} \\ &= V_{in-} - (V_{RB} + K (V_{RT} - V_{RB}) / 8) \quad \dots (5) \end{aligned}$$

### 【0038】

第1オペアンプ19に差動入力される電圧 $\Delta V$ は、次式(6)に示される。

$$\begin{aligned} \Delta V &= V^+ - V^- \\ &= V_{in+} - V_{in-} - (V_{ref+} - V_{ref-}) \end{aligned}$$

$$= V_{in+} - V_{in-} - ((VRT - VRB) - K(VRT - VRB) / 4) \quad \dots (6)$$

)

第1調整回路17は、参照電圧の値を示す( $V_{ref+} - V_{ref-}$ )の値を調整信号によって設定する。従来は、( $V_{ref+} - V_{ref-}$ ) = 0になっていたが、これを調整することによりサンプルホールド回路16の出力を変動させる。

#### 【0039】

図4は、第1調整回路の構成を示す。第1調整回路17は、第1～8調整信号CDS101～CDS108を生成して出力する。第1、2調整信号CDS101、CDS102は、第1電源供給線VDDと接続されてつねにハイが出力される。第3、4調整信号CDS103、CDS104は、第2電源供給線VSSと接続されてつねにローが出力される。第5～8調整信号CDS105～CDS108としては、比較部12から出力される判定結果C<sub>Pout</sub>がそのまま出力される。

#### 【0040】

図5は、入力アナログ電圧の値と比較部による判定結果の関係を示す。入力アナログ電圧 $V_{in}$ が正の値、すなわち0Vより大きい場合、比較部12による判定結果C<sub>Pout</sub>はハイになる。このとき、図4の第1調整回路17において、第1、2、5～8調整信号CDS101、CDS102、CDS105～CDS108の6本がハイになり、第3、4調整信号CDS103、CDS104の2本がローになる。したがって、 $K=2$ となり、 $V_{+} - V_{-} = (VRT - VRB) / 2$ となる。すなわち、入力アナログ電圧 $V_{in}$ から $(VRT - VRB) / 2$ を差し引いた値がサンプルホールド回路16に保持され、第1オペアンプ19によって2倍に増幅される。

#### 【0041】

一方、入力アナログ電圧 $V_{in}$ が負の値、すなわち0Vより小さい場合、比較部12による判定結果C<sub>Pout</sub>はローになる。このとき、図4の第1調整回路17において、第1、2調整信号CDS101、CDS102の2本がハイになり、第3～6調整信号CDS103～CDS108の6本がローになる。したがって、 $K=6$ となり、 $V_{+} - V_{-} = (VRT - VRB) / 2$ となる。入力アナロ

グ電圧  $V_{in}$  から  $(V_{RB} - V_{RT}) / 2$  を差し引いた値がサンプルホールド回路 16 に保持され、第 1 オペアンプ 19 によって 2 倍に増幅される。

#### 【0042】

図 6 は、入力アナログ電圧が正の値をとる場合におけるサンプルホールド回路の入出力電圧の関係を示す。本実施形態におけるサンプルホールド回路 16 は、入力アナログ電圧  $V_{in}$  が 0 V より大きい場合にはその値から  $(V_{RT} - V_{RB}) / 2$  を差し引くとともに、これを 2 倍に増幅する。図の左側の軸はアナログゲデジタル変換回路 100 へ入力可能なアナログ電圧の範囲を示す。中央の軸はサンプルホールド回路 16 に入力可能な電圧範囲を示す。右側の軸はサンプルホールド回路 16 が出力可能な電圧範囲を示す。

#### 【0043】

例えば、入力アナログ電圧  $V_{in}$  の最大値は、第 1 基準電圧  $V_{RT}$  と第 2 基準電圧  $V_{RB}$  の差であるが、 $(V_{RT} - V_{RB}) / 2$  から  $(V_{RT} - V_{RB})$  までの間の入力値は、そのまま 2 倍に増幅してしまうと本実施形態のサンプルホールド回路 16 の出力可能範囲を超えてしまう。そこで、入力値を  $(V_{RT} - V_{RB}) / 2$  から  $(V_{RB} - V_{RT}) / 2$  までの範囲に収めるために入力アナログ電圧  $V_{in}$  から  $(V_{RT} - V_{RB}) / 2$  を差し引く。 $(V_{RT} - V_{RB}) / 2$  から  $(V_{RB} - V_{RT}) / 2$  までの範囲の値であれば 2 倍に増幅してもサンプルホールド回路 16 が出力可能な電圧範囲を超えない。

#### 【0044】

図 7 は、入力アナログ電圧が負の値をとる場合におけるサンプルホールド回路の入出力電圧の関係を示す。入力アナログ電圧  $V_{in}$  が 0 V より小さい場合にはその値から  $(V_{RB} - V_{RT}) / 2$  を差し引くとともに、これを 2 倍に増幅する。入力アナログ電圧  $V_{in}$  の最小値は、第 2 基準電圧  $V_{RB}$  と第 1 基準電圧  $V_{RT}$  の差であるが、 $(V_{RB} - V_{RT}) / 2$  から  $(V_{RB} - V_{RT})$  までの間の入力値は、そのまま 2 倍に増幅してしまうと本実施形態のサンプルホールド回路 16 の出力可能範囲を超えてしまう。そこで、入力値を  $(V_{RB} - V_{RT}) / 2$  から  $(V_{RT} - V_{RB}) / 2$  までの範囲に収めるために入力アナログ電圧  $V_{in}$  から  $(V_{RB} - V_{RT}) / 2$  を差し引く。 $(V_{RB} - V_{RT}) / 2$  から  $(V_{RT} -$



VRB) / 2 までの範囲の値であれば2倍に増幅してもサンプルホールド回路1  
6が出力可能な電圧範囲を超えない。

#### 【0045】

図8は、サンプルホールド回路に含まれるスイッチなどの構成を示す。調整信号CDSは第1否定論理積回路NAND10に入力されるとともに、第1否定回路NOT10により反転されて第2否定論理積回路NAND11にも入力される。第1、2否定論理積回路NAND10、NAND11には第1タイミング信号DACが入力される。

#### 【0046】

第1、2トランジスタTr10、Tr11が図3の第1～8スイッチSWA101～SWA108を示す場合、第1入力IN1として第1基準電圧VRTが接続される。第3、4トランジスタTr12、Tr13が図3の第9～16スイッチSWB101～SWB108を示す場合、第2入力IN2として第2基準電圧VRBが接続される。

#### 【0047】

第1、2トランジスタTr10、Tr11が図3の第17～24スイッチSWA121～SWA128を示す場合、第1入力IN1として第2基準電圧VRBが接続される。第3、4トランジスタTr12、Tr13が図3の第25～32スイッチSWB121～SWB128を示す場合、第2入力IN2として第1基準電圧VRTが接続される。

#### 【0048】

調整信号CDSとタイミング信号DACがともにハイになったとき、第1否定論理積回路NAND10はローを出力し、これに基づいて第1トランジスタTr10がオンするとともに、第2否定回路NOT11を介して第2トランジスタTr11もオンし、第1入力IN1として第1基準電圧VRTが導通する。

#### 【0049】

調整信号CDSがローになり、第1タイミング信号DACがハイになったとき、第2否定論理積回路NAND11はローを出力し、これに基づいて第3トランジスタTr12がオンするとともに、第3否定回路NOT12を介して第4トラ

ンジスタTr13もオンし、第2入力IN2として第2基準電圧VRBが導通する。

#### 【0050】

第5、6トランジスタTr14、Tr15は図3の第33～40スイッチSWC101～SWC108と、第41～48スイッチSWC121～SWC128を示す。第2タイミング信号SHPがローになり、第3タイミング信号SHNが高くなったときに第5、6トランジスタTr14、Tr15がオンして入力アナログ電圧Vinが導通する。このように、調整信号CDS、第1～3タイミング信号DAC、SHP、SHNのそれぞれの値に応じて、第1、2基準電圧VRT、VRB、入力アナログ電圧Vinのいずれが導通して出力が決まる。これら回路を一組として、+側と-側のそれぞれ8組の回路がサンプルホールド回路16に含まれる。

#### 【0051】

図9は、第1AD変換部の構成を示す。第1AD変換部20において、第1基準電圧VRTと第2基準電圧VRBは、第1～16抵抗R201～R216によって分圧される。分圧された電圧は第1～16コンパレータCP201～CP216によってそれぞれ入力アナログ電圧Vinと比較される。比較の結果、入力アナログ電圧Vinの方が大きい場合はハイを出力し、小さい場合はローを出力する。第1～16コンパレータCP201～CP216の出力は、エンコード23に入力されて4ビットのデジタル値として第1ラッチ回路24へ送られる。第2～16コンパレータCP202～CP216の出力は、第2～16AD信号Z2～Z16として第1DA変換部22へ送られる。

#### 【0052】

図10は、第1DA変換部および第1増幅回路の構成を示す。第1DA変換部22において、第2調整回路27は、比較部12による判定結果CPoutと第1、2電源供給線VDD、VSS、第2～16AD信号Z2～Z16が入力され、第9～26調整信号CDS201～CDS216、CDS221、CDS222を生成して出力する。

#### 【0053】

第49～64スイッチSWA201～SWA216は、第9～24調整信号CDS201～CDS216がハイのときにオンされて第1基準電圧VRTが導通する。第65～80スイッチSWB201～SWB216は、第9～24調整信号CDS201～CDS216がローのときにオンされて第2基準電圧VRBが導通する。第49～64スイッチSWA201～SWA216と第65～80スイッチSWB201～SWB216のいずれがオンになるかにより、参照される電圧が第1基準電圧VRTと第2基準電圧VRBで切り替わる。

#### 【0054】

第81～96スイッチSWA221～SWA236は、第11～26調整信号CDS203～CDS216、CDS221、CDS222がハイのときにオンされて第2基準電圧VRBが導通する。第97～112スイッチSWB221～SWB236は、第11～26調整信号CDS203～CDS216、CDS221、CDS222がローのときにオンされて第1基準電圧VRTが導通する。第81～96スイッチSWA221～SWA236と第97～112スイッチSWB221～SWB236のいずれがオンになるかによって参照される電圧が第2基準電圧VRBと第1基準電圧VRTで切り替わる。

#### 【0055】

第17～32コンデンサC201～C216、第33～48コンデンサC221～236は、すべて同じ容量値である。第113～128スイッチSWC201～SWC216と、第129～144スイッチSWC221～SWC236がすべてオフの状態を考える。第17～32コンデンサC201～C216の容量アレイから第2オペアンプ25へ差動入力される正側電圧Vref<sup>+</sup>は、電荷保存則より次式(7)に示される。

$$V_{\text{ref}^+} = V_{\text{RT}} - K^+ (V_{\text{RT}} - V_{\text{RB}}) / 16 \quad \dots (7)$$

ここで、K<sup>+</sup>は、第9～24調整信号CDS201～CDS216のうちローである信号の数を示す。第65～80スイッチSWB201～SWB216のうちK<sup>+</sup>個のスイッチがオンされて第2基準電圧VRBと導通し、第49～64スイッチSWA201～SWA216のうち(16-K<sup>+</sup>)個のスイッチがオンされて第1基準電圧VRTと導通する。

## 【0056】

第33～48コンデンサC221～C236の容量アレイから第2オペアンプ25へ差動入力される負側電圧 $V_{ref-}$ は、電荷保存則より次式(8)に示される。

$$V_{ref-} = V_{RB} + K^- (V_{RT} - V_{RB}) / 16 \quad \dots (8)$$

正側電圧 $V_{ref+}$ と負側電圧 $V_{ref-}$ は第2オペアンプ25に差動入力される。これらの差分は $(V_{ref+} - V_{ref-})$ である。ここで、 $K^-$ は、第11～26調整信号CDS203～CDS216、CDS221、CDS222のうちローである信号の数を示す。第97～112スイッチSWB221～SWB236のうち $K^-$ 個のスイッチがオンされて第1基準電圧 $V_{RT}$ と導通し、第81～96スイッチSWA221～SWA236のうち $(16 - K^-)$ 個のスイッチがオンされて第2基準電圧 $V_{RB}$ と導通する。

## 【0057】

第113～128スイッチSWC201～SWC216と、第129～144スイッチSWC221～SWC236がオンになると、第17～32コンデンサC201～C216と第33～48コンデンサC221～C236のそれぞれの一端に、サンプルホールド回路16の出力電圧 $V_{SH}$ が導通される。その結果、正側電圧 $V^+$ と負側電圧 $V^-$ は次式(9)(10)の通りになる。

$$\begin{aligned} V^+ &= V_{SH}^+ - V_{ref+} \\ &= V_{SH}^+ - (V_{RT} - K (V_{RT} - V_{RB}) / 16) \quad \dots (9) \end{aligned}$$

$$\begin{aligned} V^- &= V_{SH}^- - V_{ref-} \\ &= V_{SH}^- - (V_{RB} + K (V_{RT} - V_{RB}) / 16) \quad \dots (10) \end{aligned}$$

## 【0058】

第2オペアンプ25に差動入力される電圧 $\Delta V$ は、次式(11)で示される。

$$\begin{aligned} \Delta V &= V^+ - V^- \\ &= V_{SH}^+ - V_{SH}^- - (V_{ref+} - V_{ref-}) \quad \dots (11) \end{aligned}$$

第2調整ユニット21は、参照電圧の値を示す $(V_{ref+} - V_{ref-})$ の値を調整信号によって設定する。従来は、 $(V_{ref+} - V_{ref-}) = 0$ になっていたが、これを調整することにより第1DA変換部22の出力を変動させる。

## 【0059】

図11は、判定結果C P o u tと第2調整回路が生成する調整信号C D Sの値の関係を示す表である。第9、10調整信号C D S 2 0 1、C D S 2 0 2は、比較部12による判定結果C P o u tの値と関係なくつねに第1電源供給線V D Dと同電位となる。第25、26調整信号C D S 2 2 1、C D S 2 2 2は、判定結果C P o u tの値と関係なくつねに第2電源供給線V S Sと同電位となる。

## 【0060】

判定結果C P o u t = 0の場合、第11調整信号C D S 2 0 3から第24調整信号C D S 2 1 6までの14本の各信号として、それぞれ第2 A D信号Z 2、第2 A D信号Z 2、第3 A D信号Z 3、第3 A D信号Z 3、第4 A D信号Z 4、第4 A D信号Z 4、第5 A D信号Z 5、第5 A D信号Z 5、第6 A D信号Z 6、第6 A D信号Z 6、第7 A D信号Z 7、第7 A D信号Z 7、第8 A D信号Z 8、第8 A D信号Z 8を出力する。

## 【0061】

判定結果C P o u t = 1の場合、第11調整信号C D S 2 0 3から第24調整信号C D S 2 1 6までの14本の各信号として、それぞれ第10 A D信号Z 1 0、第10 A D信号Z 1 0、第11 A D信号Z 1 1、第11 A D信号Z 1 1、第12 A D信号Z 1 2、第12 A D信号Z 1 2、第13 A D信号Z 1 3、第13 A D信号Z 1 3、第14 A D信号Z 1 4、第14 A D信号Z 1 4、第15 A D信号Z 1 5、第15 A D信号Z 1 5、第16 A D信号Z 1 6、第16 A D信号Z 1 6を出力する。

## 【0062】

図12は、入力アナログ電圧V i nが正の値であった場合の第1 D A変換部における入力電圧と出力電圧の関係を示す。第1 D A変換部22に入力される値はデジタル値であり、左側の軸の目盛りに示されるデジタル値のうち「1000」から「1111」までの各値が入力される。右側の軸の目盛りにおいて、第1 D A変換部22によるD A変換後の値はA～Hである。すなわち、第1 D A変換部22の出力アナログ値の範囲は入力デジタル値の範囲の2倍に増幅されている。またその範囲は第1増幅回路18において良好な出力範囲に収まるよう調整され

た値になっている。

### 【0063】

例えば、入力デジタル値が「1011」であった場合、判定結果C P o u t = 1、第9～14調整信号CDS201～CDS208がハイであり、第15～26調整信号CDS209～CDS216、CDS221、CDS222がローとなる。したがって、 $K^+ = 8$ 、 $K^- = 10$ なので、式(7)(8)より、

$$\begin{aligned} V_{\text{ref}^+} - V_{\text{ref}^-} &= (V_{\text{RB}} - V_{\text{RT}}) / 8 \\ &= D \end{aligned}$$

となる。

### 【0064】

図13は、入力アナログ電圧V i nが負の値であった場合の第1DA変換部における入力電圧と出力電圧の関係を示す。左側の軸の目盛りに示されるデジタル値のうち「0111」から「0000」までの各値が第1AD変換部20によって出力されたデジタル値である。右側の軸の目盛りにおいて、第1DA変換部22によるDA変換後の値はA～Hである。すなわち、第1DA変換部22の出力アナログ値の範囲は入力デジタル値の範囲の2倍に増幅されている。またその範囲は第1増幅回路18において良好な出力範囲に収まるよう調整された値になっている。

### 【0065】

例えば、入力デジタル値が「0011」であった場合、判定結果C P o u t = 0、第9～16調整信号CDS201～CDS208がハイであり、第17～26調整信号CDS209～CDS216、CDS221、CDS222がローとなる。したがって、 $K^+ = 8$ 、 $K^- = 10$ なので、式(7)(8)より、

$$\begin{aligned} V_{\text{ref}^+} - V_{\text{ref}^-} &= (V_{\text{RB}} - V_{\text{RT}}) / 8 \\ &= E \end{aligned}$$

となる。

### 【0066】

図14は、第2調整回路の構成を示す。第2調整回路27において、第9、10調整信号CDS201、CDS202は、第1電源供給線VDDに接続され、

つねにハイにされている。第25、26調整信号CDS221、CDS222は、第2電源供給線VSSに接続され、つねにローにされている。第11～24調整信号CDS203～CDS216は、判定結果CPoutと第2～16AD信号Z2～Z16に基づいて生成される。図においては第11調整信号CDS203を生成する詳細な回路を代表的に示す。

#### 【0067】

比較部12からの判定結果CPoutがハイのとき、第9、10トランジスタTr18、Tr19がオンされ、第10AD信号Z10が第11調整信号CDS203として出力される。判定結果CPoutがローのとき、第7、8トランジスタTr16、Tr17がオンされ、第2AD信号Z2が第11調整信号CDS203として出力される。このように、判定結果CPoutに応じて第2AD信号Z2と第10AD信号Z10のいずれかが選択される。これら第7～10トランジスタTr16～Tr19と第4、5否定回路NOT13、NOT14などの素子で構成される選択回路29は、第11～24調整信号CDS203～CDS216と同数設けられる。それぞれの回路において選択される信号の組み合わせは図11の表に示される通りである。

#### 【0068】

##### (第2実施形態)

図15は、第2実施形態におけるアナログーデジタル変換回路の構成を示す。本実施形態のアナログーデジタル変換回路200は、サンプルホールド回路216に入力されるアナログ電圧が良好な範囲にあるかどうかを判定するために比較部を2個設けた点で第1実施形態と異なる。第1実施形態における比較部12は、入力アナログ電圧Vinが正負いずれの値であるかを判定していたが、本実施形態では、入力アナログ電圧Vinが良好な範囲の下限よりも低いかどうかを第1比較部212が判定し、上限よりも高いかどうかを第2比較部214が判定する。また、第1実施形態では入力アナログ電圧Vinの値如何にかかわらず必ず参照信号のレベル調整が行われるが、本実施形態では必要な場合にだけ参照信号のレベル調整が行われる点でも相違する。

#### 【0069】

第1調整ユニット211において、第1比較部212および第2比較部214による判定結果に応じて、サンプルホールド回路216が入力アナログ電圧 $V_{in}$ を良好な範囲に収まるよう値を調整する。入力アナログ電圧 $V_{in}$ を第1AD変換部220がデジタル値に変換して第1ラッチ回路24へ送る。そのデジタル値は第2調整ユニット221によって第1調整ユニット211と同様の調整が施される。第1DA変換部222はデジタル値を再びアナログ値に変換し、第1増幅回路218へ送る。第1増幅回路218は、サンプルホールド回路216が保持する値と第1DA変換部222の出力の差分を増幅する。このとき、第1調整ユニット211による調整と第2調整ユニット221による調整が相殺される。

#### 【0070】

本実施形態においても、高い精度を維持しながらパイプライン式にAD変換を実行できる。また、変換性能が良好となる範囲の上限と下限を超えないよう第1比較部212および第2比較部214が判定するので、より低電圧にてAD変換を実行でき、電力消費を低減できる。さらに、第1実施形態よりも比較部がひとつ多いものの、依然として少ない構成にて精度を維持できる。

#### 【0071】

(第3実施形態)

図16は、第3実施形態におけるアナログーデジタル変換回路の構成を示す。本実施形態のアナログーデジタル変換回路300は、第2変換部330において電圧値の調整とその相殺を処理する点で第1、2実施形態と異なる。第1変換部310では、第1AD変換部320が入力アナログ電圧 $V_{in}$ をデジタル値に変換して第1ラッチ回路24へ送り、そのデジタル値を第1DA変換部322が再度アナログ値に変換する。第1増幅回路316は、入力アナログ電圧 $V_{in}$ を増幅し、第2増幅回路318は第1増幅回路316の出力と第1DA変換部322の出力の差分を増幅する。

#### 【0072】

第2変換部330においては、第2増幅回路318の出力を第2AD変換部340がデジタル値に変換して第2ラッチ回路44へ送る。そのデジタル値を第2DA変換部342が再度アナログ値に変換する。第1調整ユニット311は、第



2増幅回路318の出力の範囲を判定して、その判定結果に基づいて調整を加える。その調整と同様の調整を第2調整ユニット321が第2AD変換部340の出力に加える。第3増幅回路338は、サンプルホールド回路336の出力と第2DA変換部342の出力の差分を増幅する。そのとき、第1調整ユニット311による調整と第2調整ユニット321による調整が相殺される。

#### 【0073】

本実施形態においても、高い精度を維持しながらパイプライン式にAD変換を実行できる。また、より低電圧の下でのAD変換を実現し、電力消費を低減させる。さらに、少ない構成にて精度を維持できる。

#### 【0074】

(第4実施形態)

図17は、第4実施形態におけるアナログーデジタル変換回路の構成を示す。本実施形態のアナログーデジタル変換回路400は、5段構成のパイプライン型AD変換回路である点で第1～3実施形態と異なる。この回路は、第1変換部110から第5変換部190の5段にわたり、1ビット、3ビット、2ビット、2ビット、2ビットの順で計10ビットのAD変換を処理する。

#### 【0075】

第1変換部110は、入力アナログ電圧 $V_{in}$ を第1AD変換部120が1ビットのデジタル値に変換して第1ラッチ回路124へ送る。そのデジタル値は、5段構成である第1ラッチ回路124によって5クロック遅延されてデジタル出力回路126へ入力される。第1AD変換部120の出力は第1DA変換部122によって再びアナログ値に変換され第1増幅回路118に入力される。第1増幅回路118は、入力アナログ電圧 $V_{in}$ から第1DA変換部122の出力を減算して次段の第2変換部130へ送る。これら第1変換部110による一連の処理は1クロック内に処理される。したがって入力アナログ電圧 $V_{in}$ をサンプリングして保持しておく必要がないので、第1変換部110はサンプルホールド回路を含まない構成となっている。

#### 【0076】

第2変換部130～第5変換部190は、図1の第2変換部30～第4変換部

70 とほぼ同じ構成である。以上の構成においても、第1変換部110によって比較的大きな電圧値が減算されるので、その分、2段目以降の増幅回路にはより小さな電圧値が入力される。これにより、変換性能の維持、低電圧での動作、消費電力低減を実現できる。

#### 【0077】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、その各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

#### 【0078】

上記の実施形態においては、入力アナログ電圧  $V_{in}$  の範囲を判定するための比較部が1～2個設けられていたが、変形例においてはこのような比較部を3個以上設けて、より広い範囲にわたって入力アナログ電圧値を判定してもよい。

#### 【0079】

実施の形態に含まれるサンプルホールド回路や差動増幅回路の増幅率は任意に設定でき、その設定に応じて第1調整回路17と第2調整回路27の構成が定まる。

#### 【0080】

#### 【発明の効果】

本発明によれば、信号変換における性能を維持することができる。

#### 【図面の簡単な説明】

【図1】 第1実施形態におけるアナログーデジタル変換回路の構成を示す図である。

【図2】 サンプルホールド回路の入力電圧と出力電圧の関係を示す図である。

【図3】 サンプルホールド回路の構成を示す図である。

【図4】 第1調整回路の構成を示す図である。

【図5】 入力アナログ電圧の値と比較部による判定結果の関係を示す図である。

【図 6】 入力アナログ電圧が正の値をとる場合におけるサンプルホールド回路の入出力電圧の関係を示す図である。

【図 7】 入力アナログ電圧が負の値をとる場合におけるサンプルホールド回路の入出力電圧の関係を示す図である。

【図 8】 サンプルホールド回路に含まれるスイッチなどの構成を示す図である。

【図 9】 第 1 A D 変換部の構成を示す図である。

【図 10】 第 1 D A 変換部および第 1 増幅回路の構成を示す図である。

【図 11】 判定結果 C P o u t と第 2 調整回路が生成する調整信号 C D S の値の関係表を示す図である。

【図 12】 入力アナログ電圧 V i n が正の値であった場合の第 1 D A 変換部における入力電圧と出力電圧の関係を示す図である。

【図 13】 入力アナログ電圧 V i n が負の値であった場合の第 1 D A 変換部における入力電圧と出力電圧の関係を示す図である。

【図 14】 第 2 調整回路の構成を示す図である。

【図 15】 第 2 実施形態におけるアナログーデジタル変換回路の構成を示す図である。

【図 16】 第 3 実施形態におけるアナログーデジタル変換回路の構成を示す図である。

【図 17】 第 4 実施形態におけるアナログーデジタル変換回路の構成を示す図である。

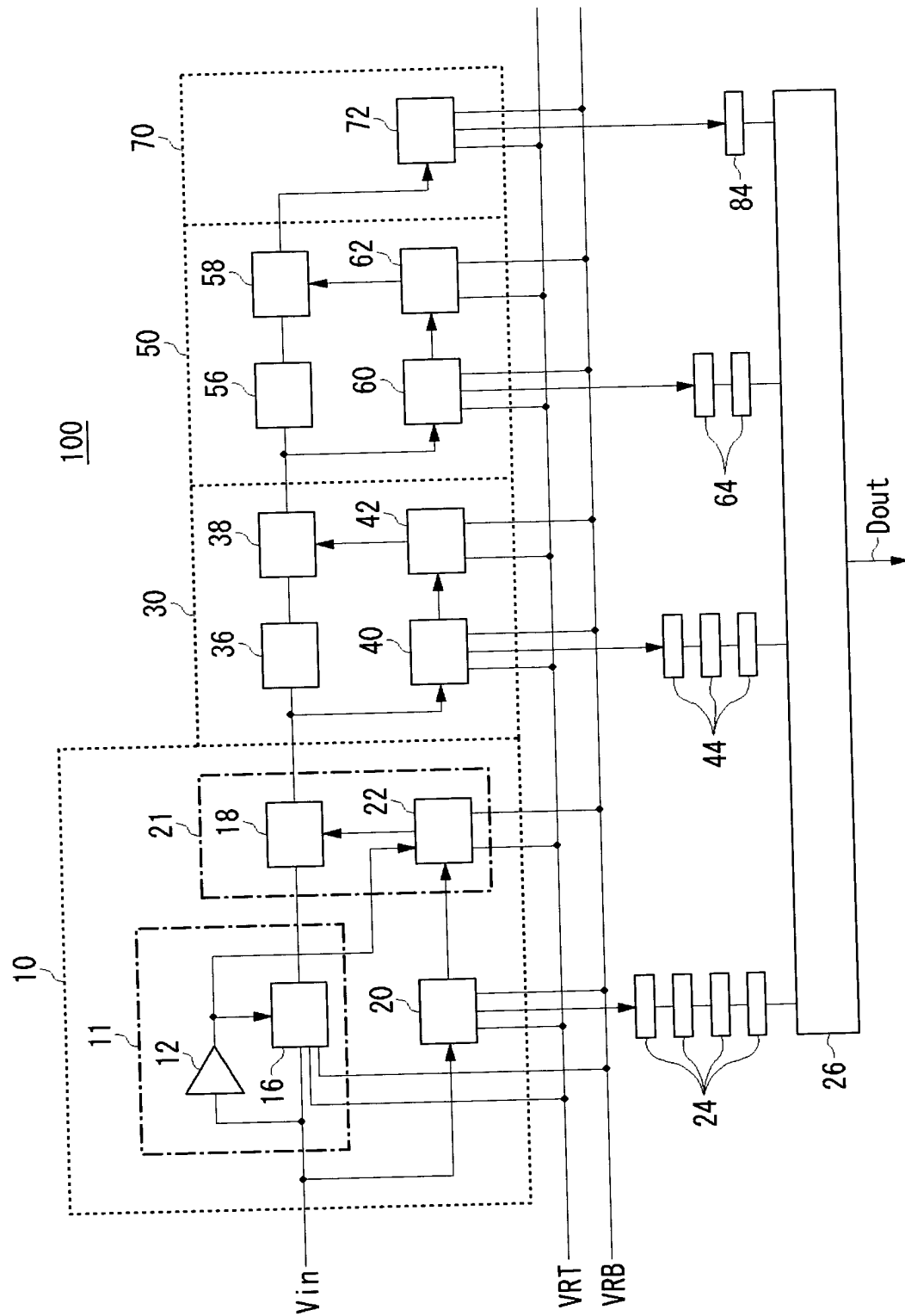
#### 【符号の説明】

10 第 1 変換部、 11 第 1 調整ユニット、 12 比較部、 16 サンプルホールド回路、 18 第 1 増幅回路、 20 第 1 A D 変換部、 21 第 2 調整ユニット、 22 第 1 D A 変換部、 30 第 2 変換部、 50 第 3 変換部、 70 第 4 変換部、 100 アナログーデジタル変換回路。

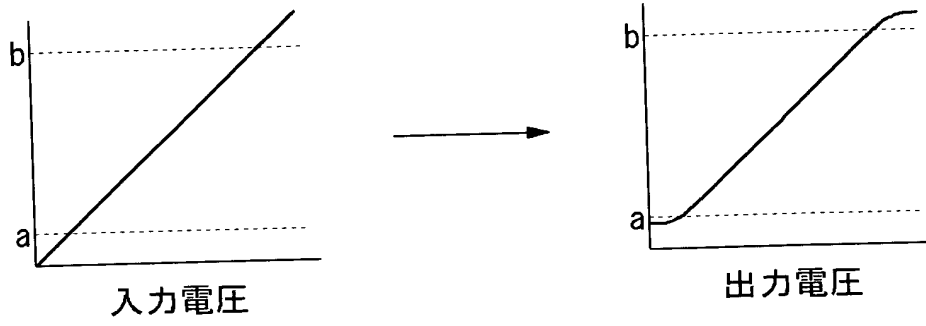
【書類名】

図面

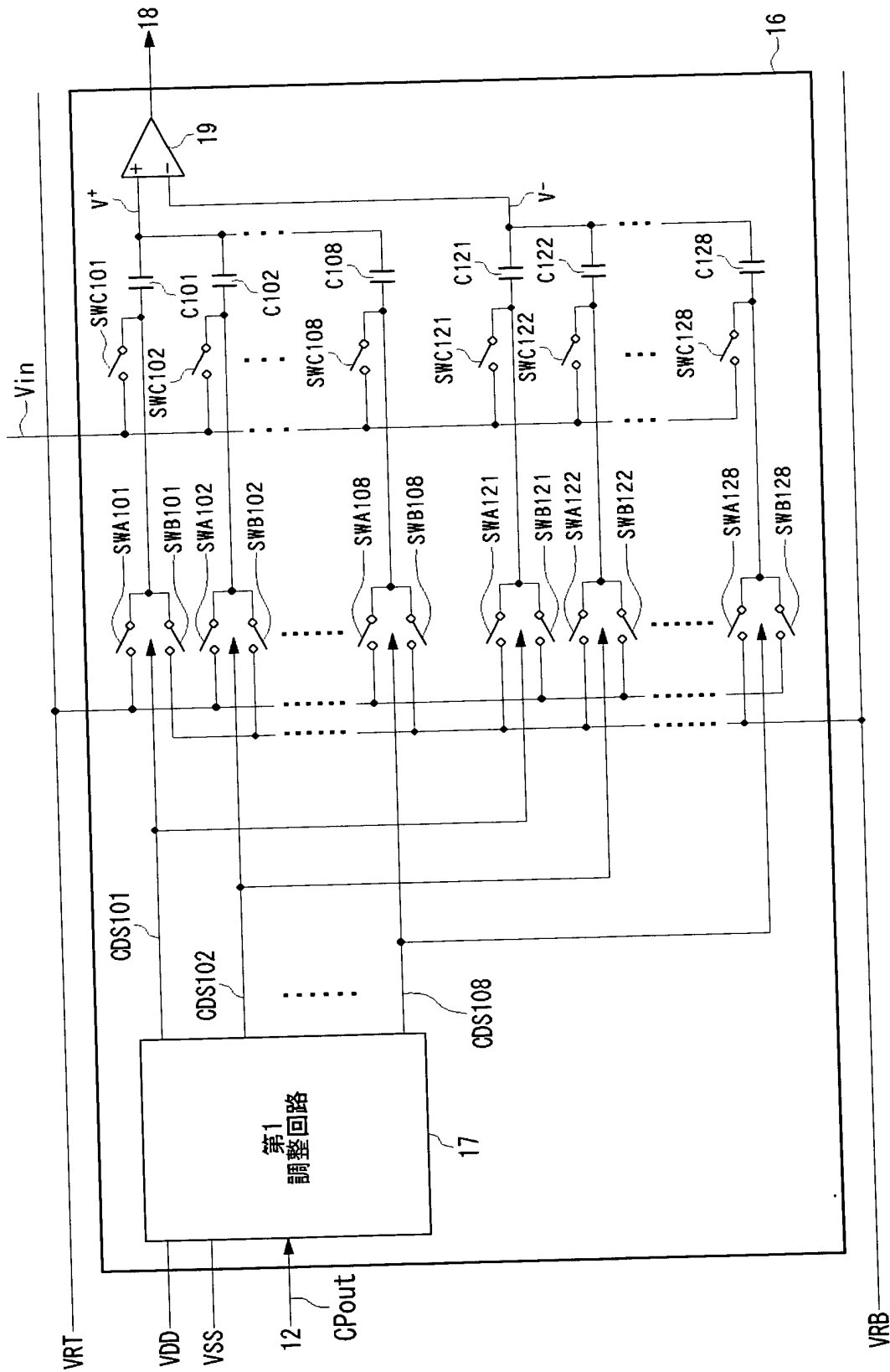
【図 1】



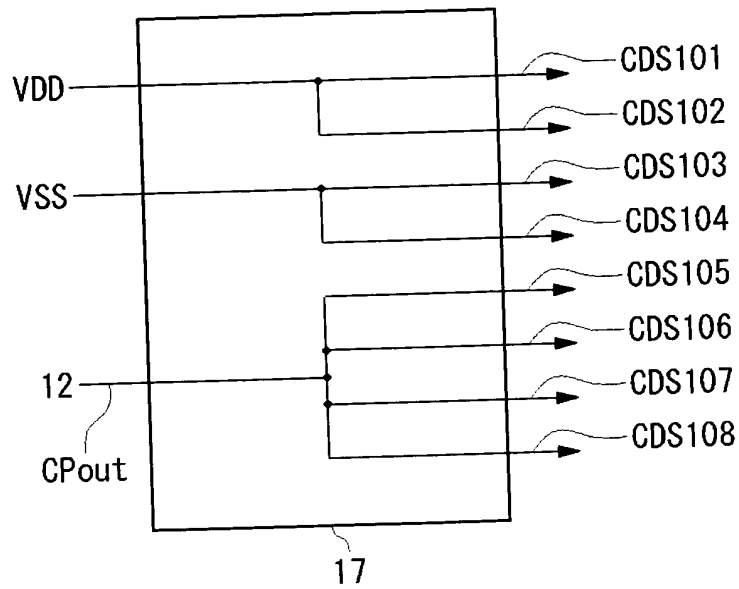
【図 2】



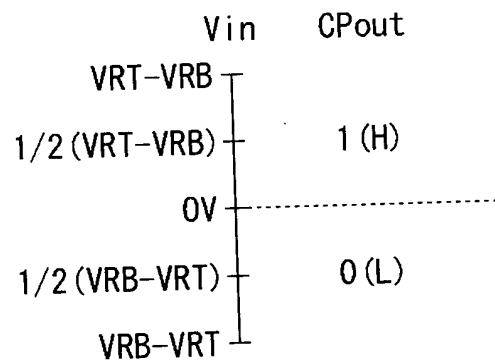
【図 3】



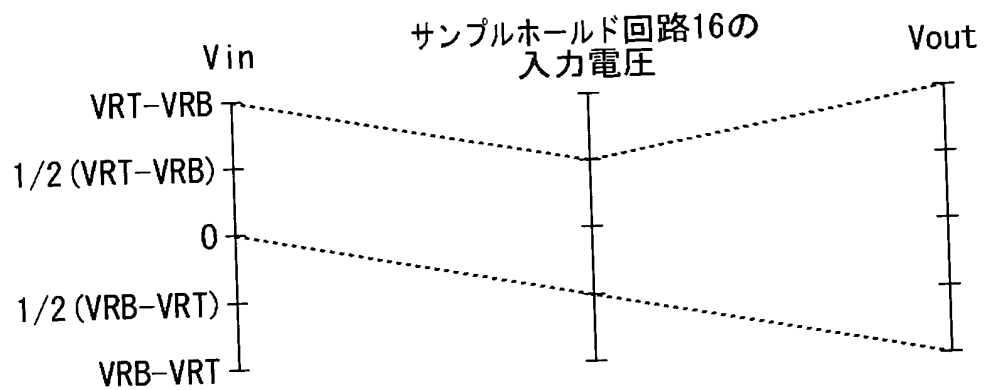
【図 4】



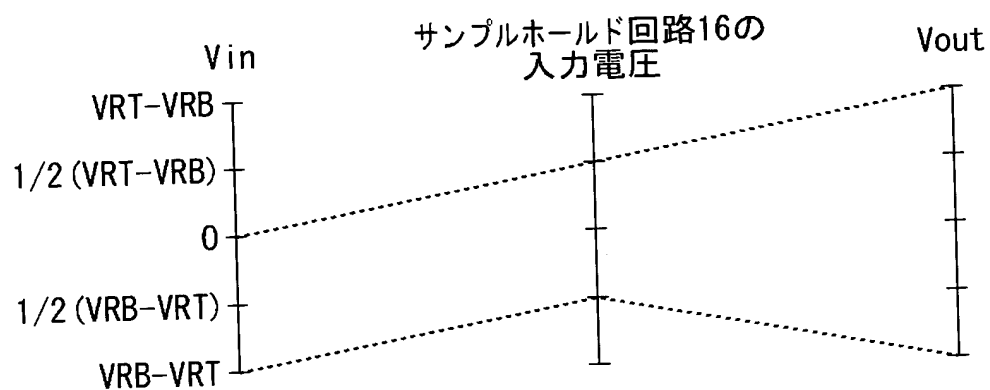
【図 5】



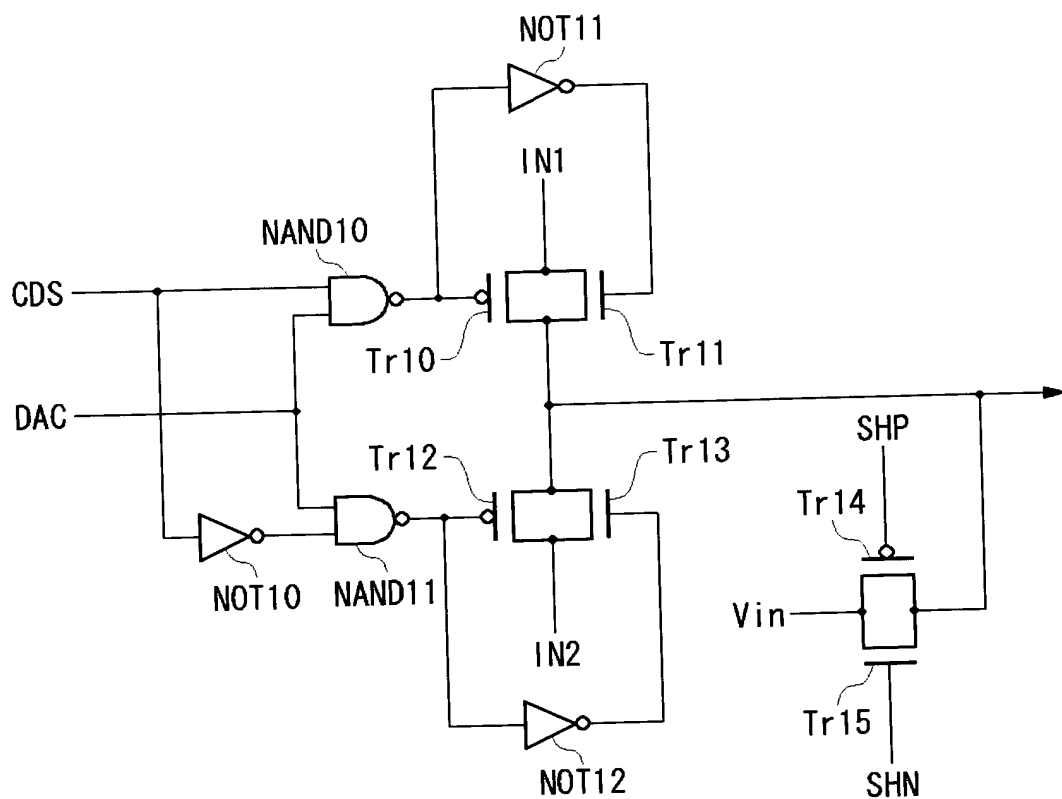
【図 6】



【図 7】



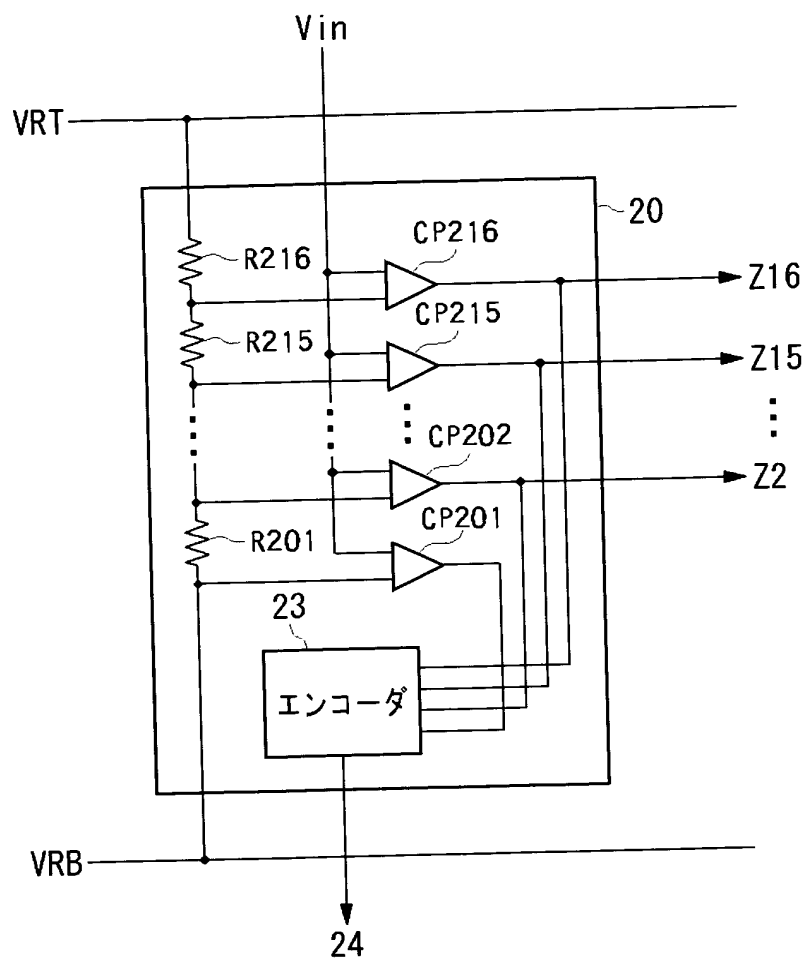
【図 8】



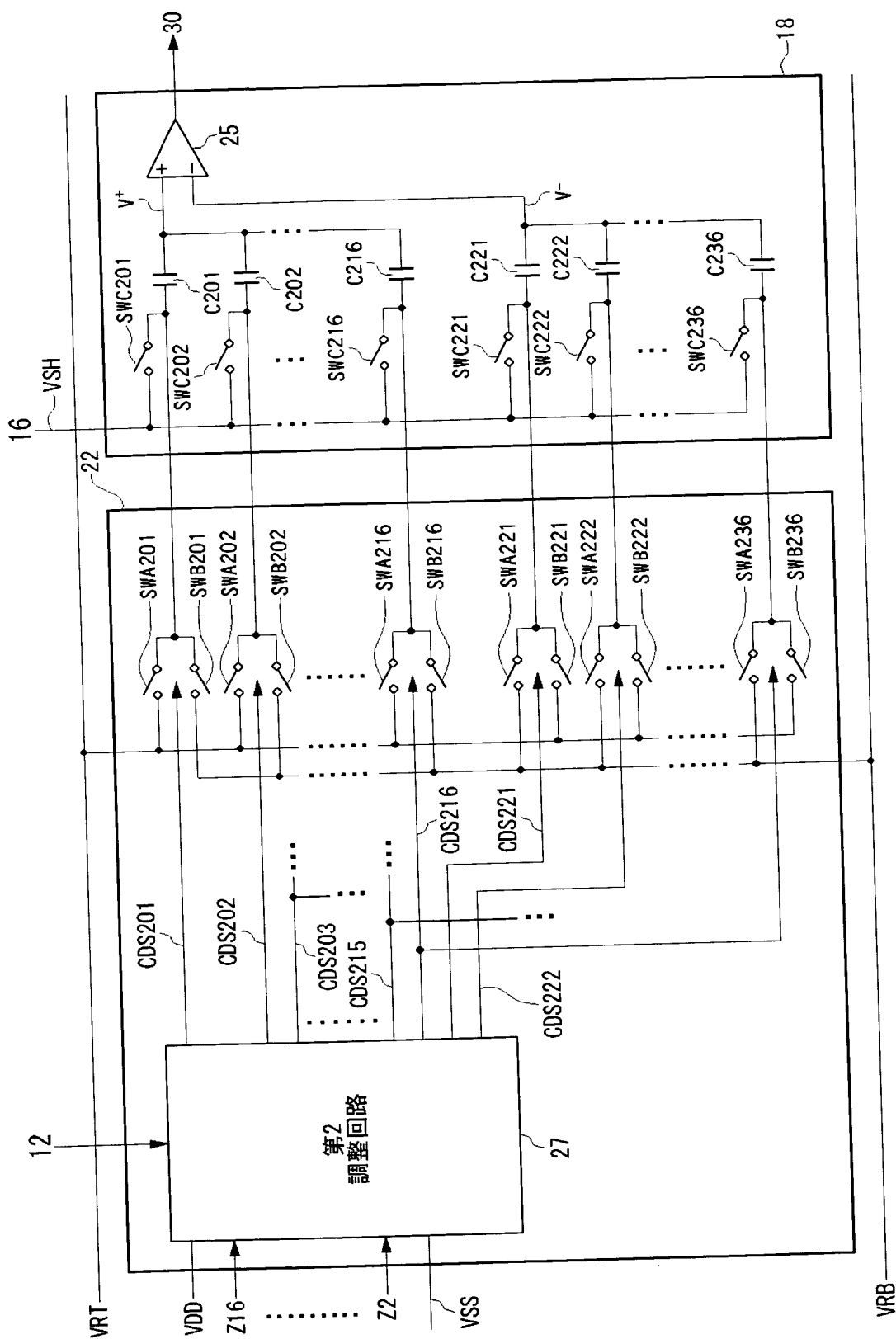
16



【図 9】



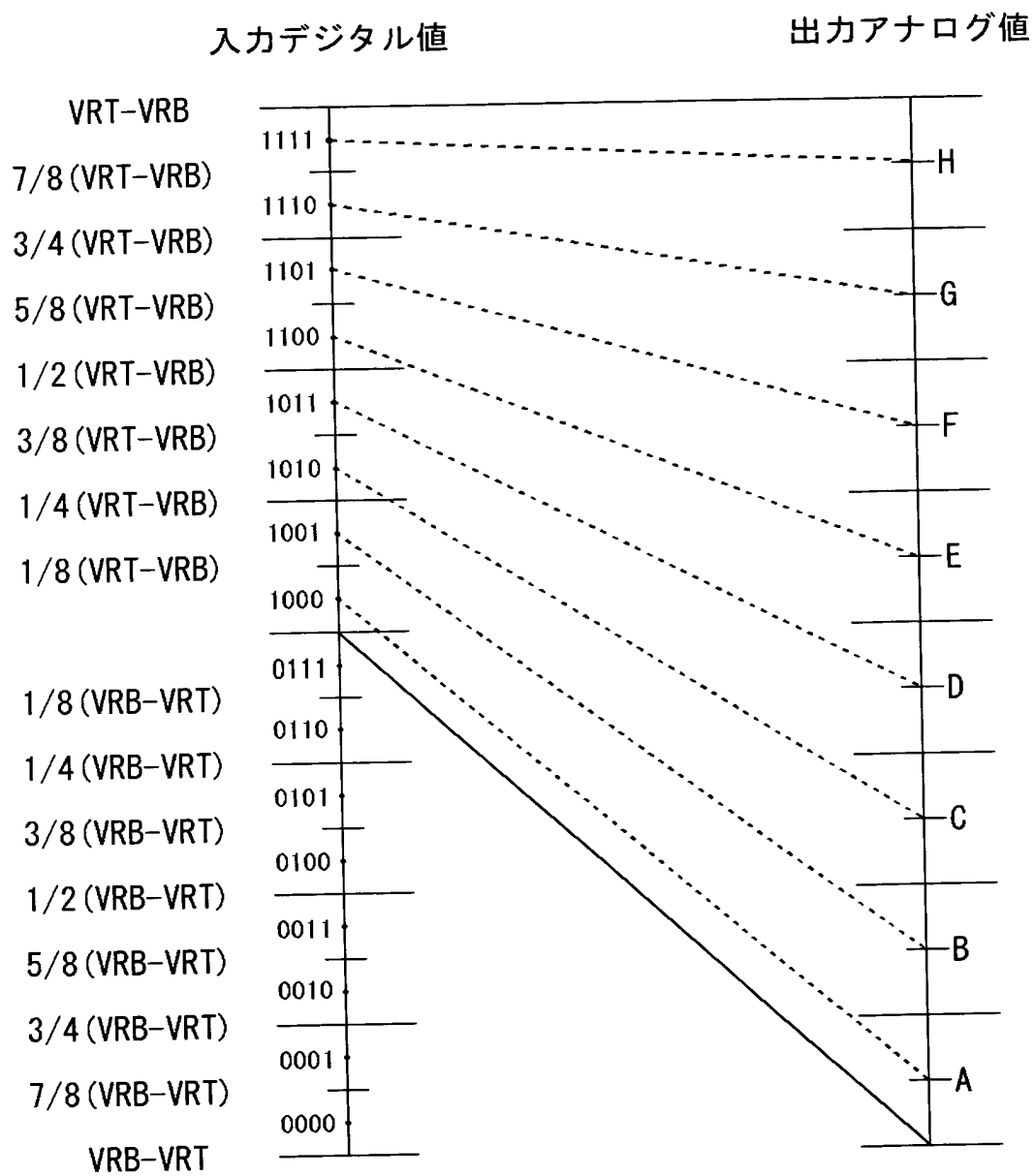
【図10】



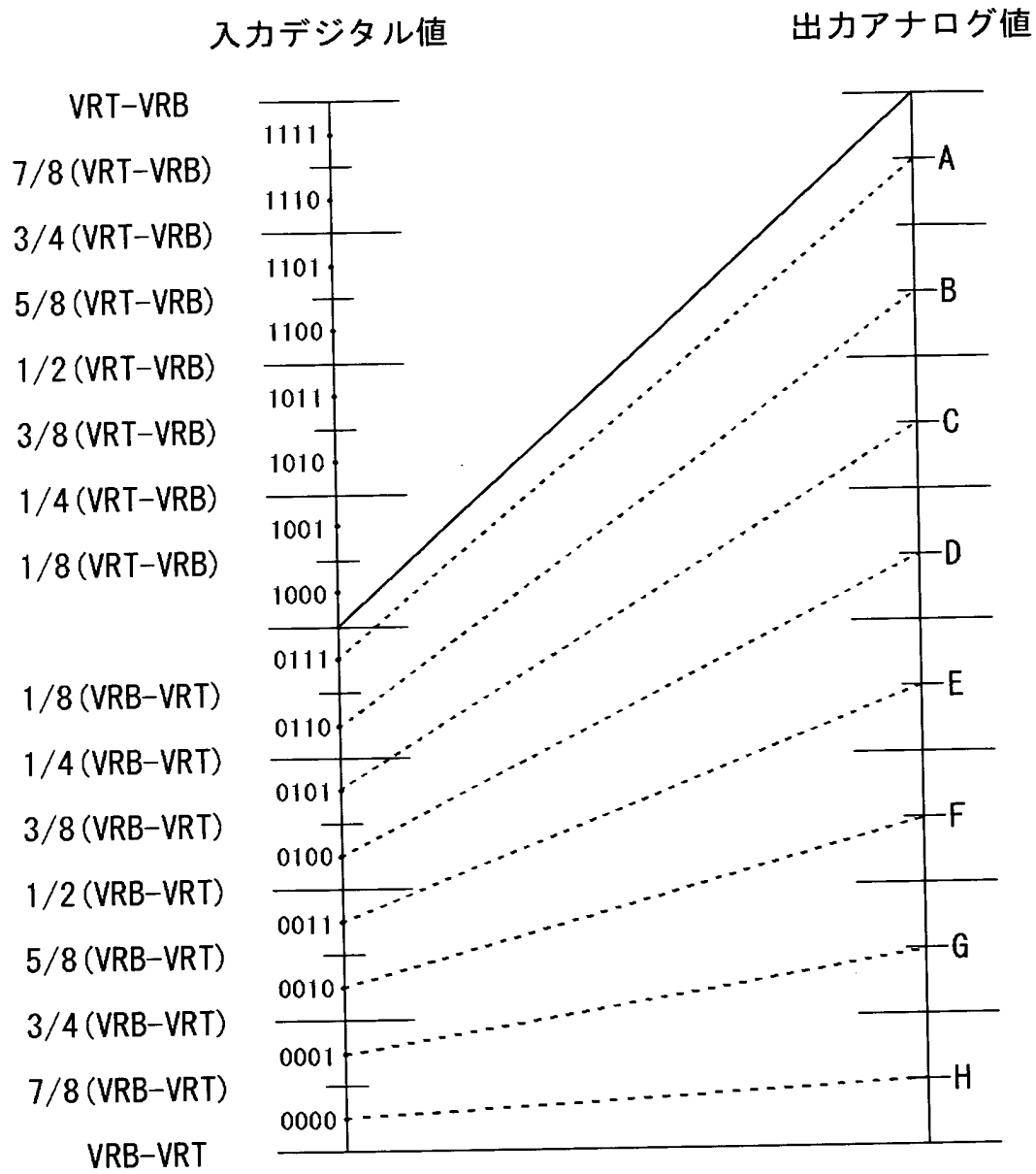
【図 11】

	CPout=0	CPout=1
CDS201	VDD	VDD
CDS202	VDD	VDD
CDS203	Z2	Z10
CDS204	Z2	Z10
CDS205	Z3	Z11
CDS206	Z3	Z11
CDS207	Z4	Z12
CDS208	Z4	Z12
CDS209	Z5	Z13
CDS210	Z5	Z13
CDS211	Z6	Z14
CDS212	Z6	Z14
CDS213	Z7	Z15
CDS214	Z7	Z15
CDS215	Z8	Z16
CDS216	Z8	Z16
CDS221	VSS	VSS
CDS222	VSS	VSS

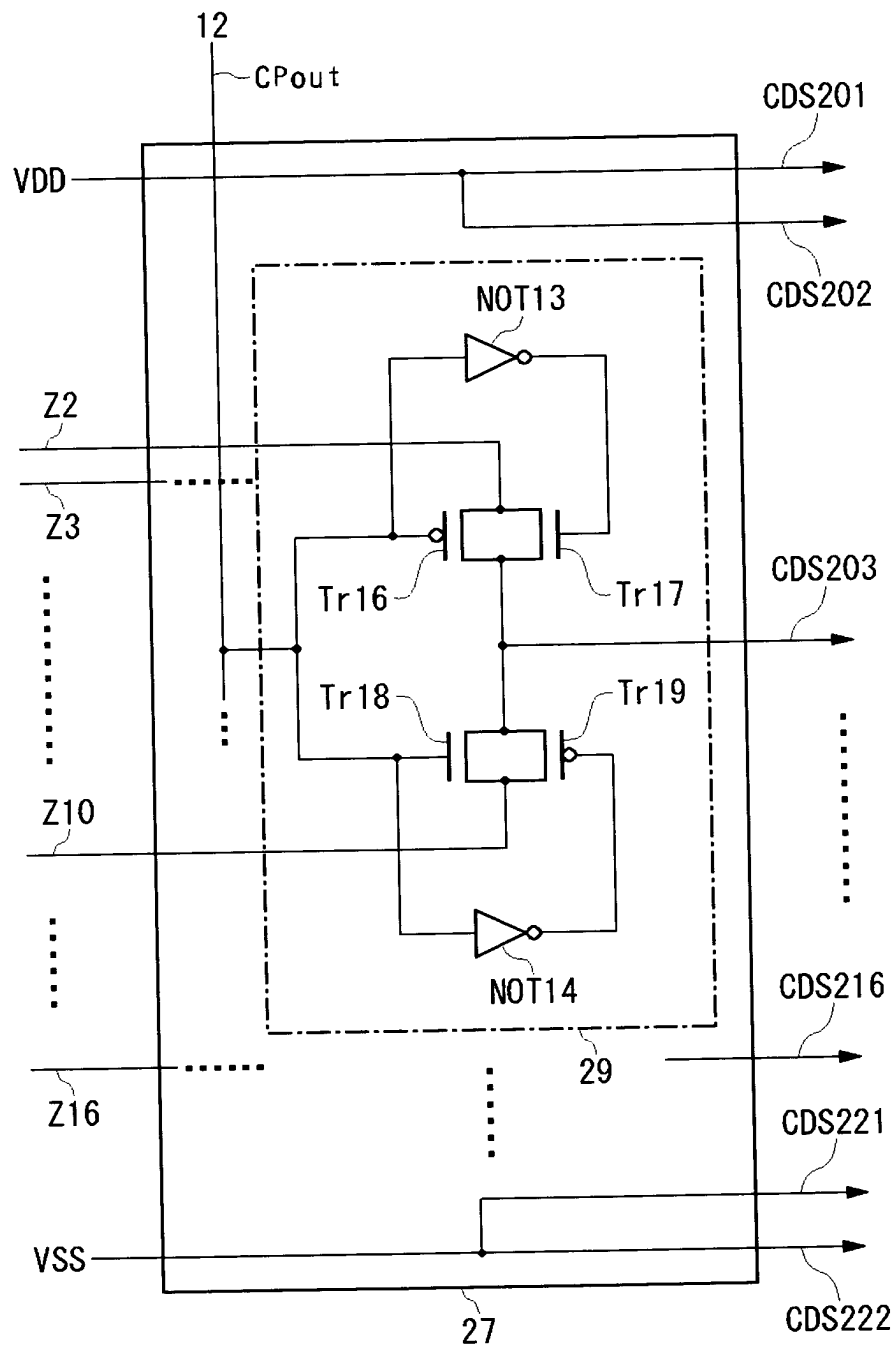
【図 12】



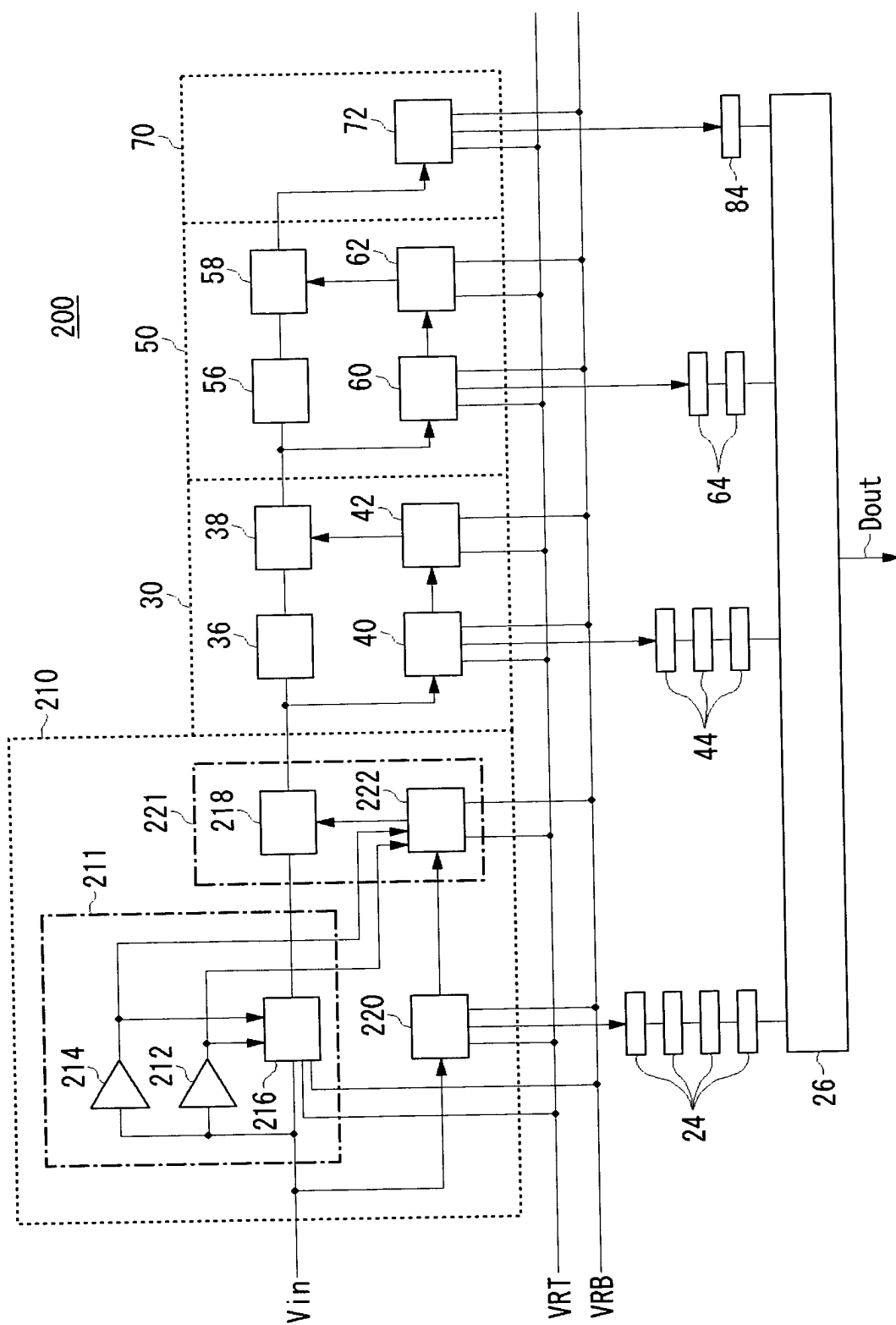
【図 13】



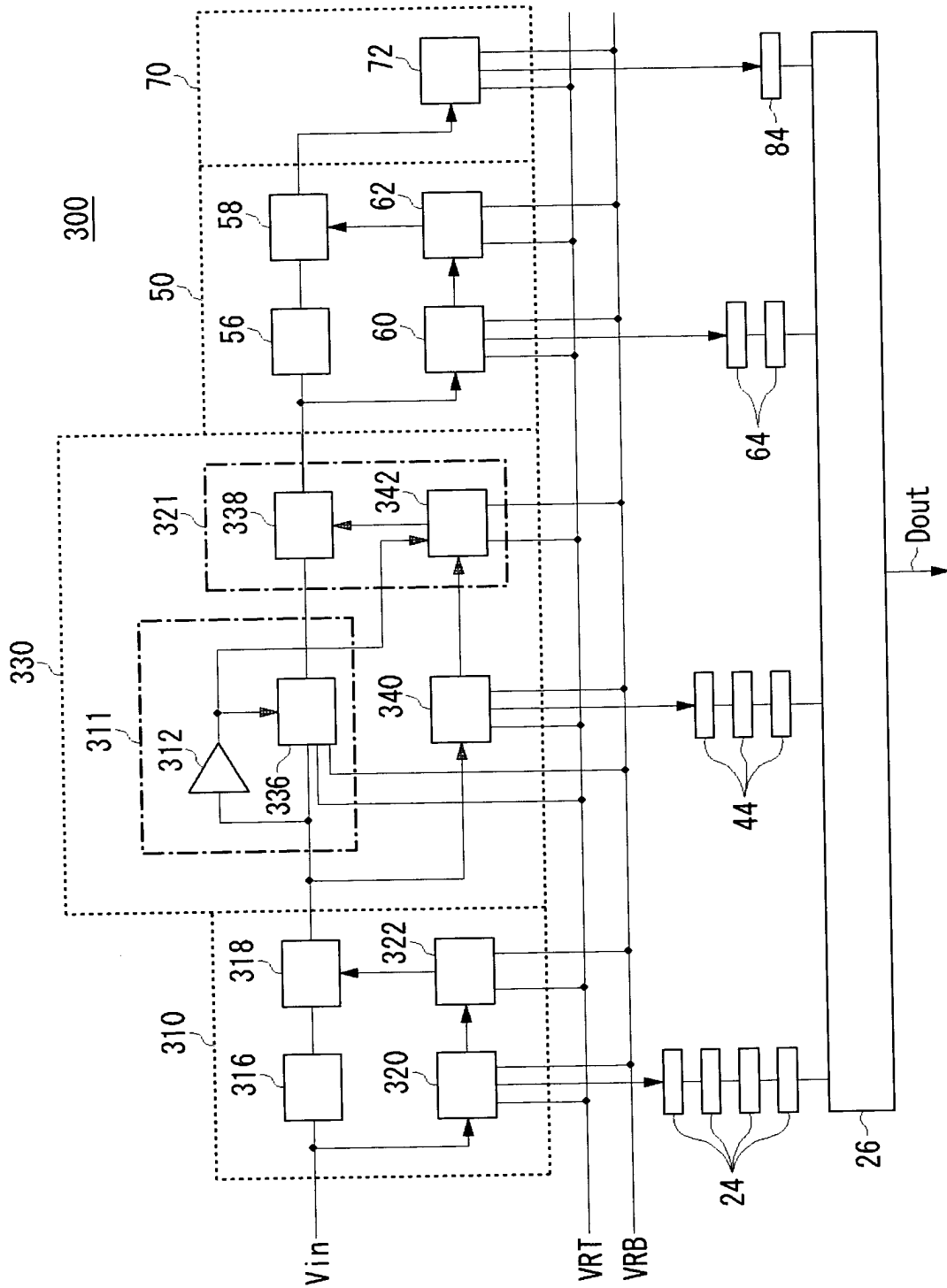
【図 14】



【図 15】

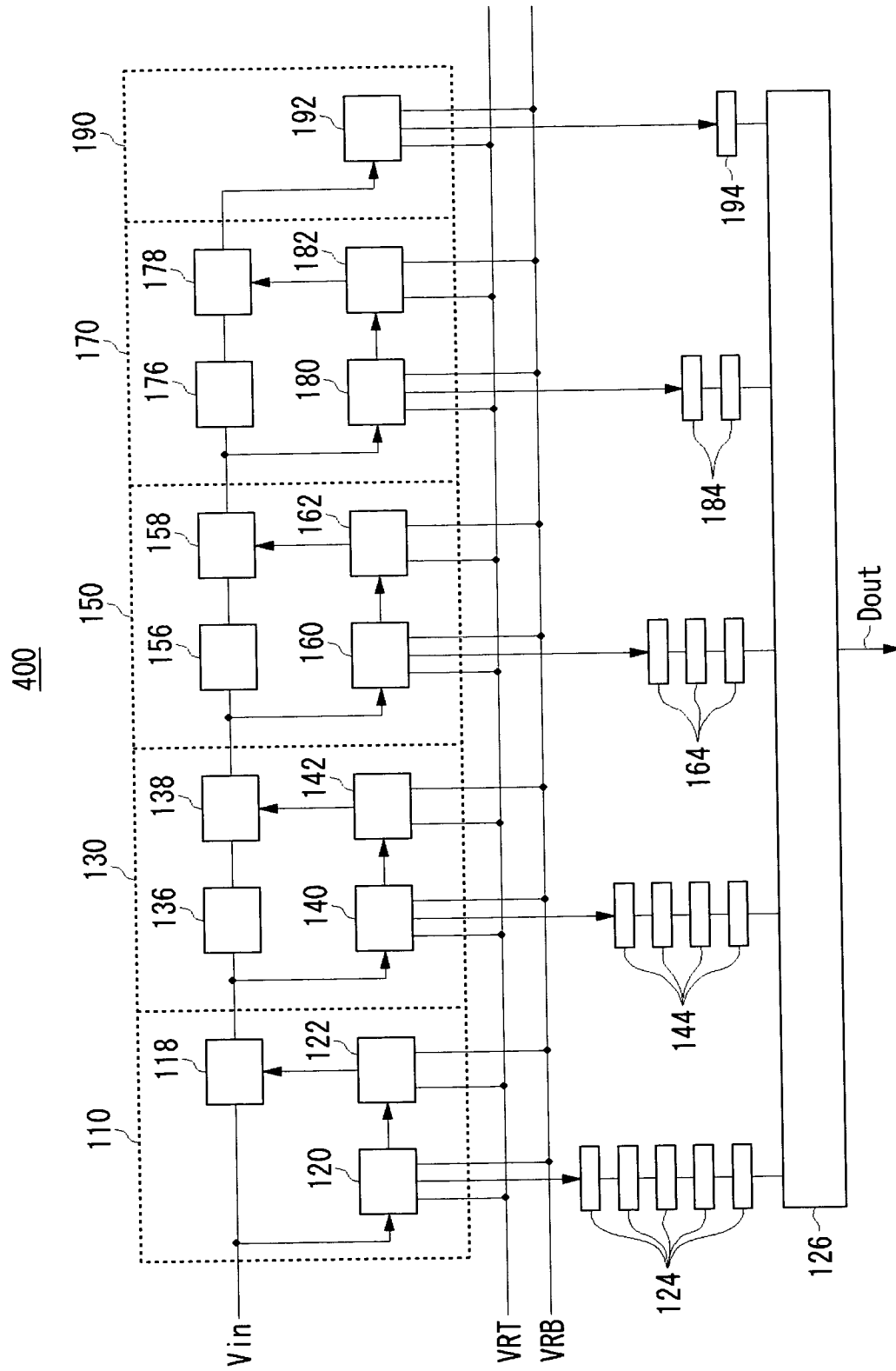


【図 16】





【図 17】



【書類名】 要約書

【要約】

【課題】 アナログデジタル変換回路において、変換性能の維持と低電圧化の要求を満たすことが望まれていた。

【解決手段】 アナログーデジタル変換回路100の第1変換部10において、第1AD変換部20は入力電圧をデジタル値に変換し、第1DA変換部22はそのデジタル値を再度アナログ値に変換する。比較部12は入力電圧の範囲を判定し、その結果に応じて調整した値をサンプルホールド回路16が保持する。第1DA変換部22はデジタル値に同様の調整を加える。第1増幅回路18は保持された値と第1DA変換部22の出力の差分を増幅して次段へ送る。

【選択図】 図1

特願 2 0 0 2 - 2 9 1 7 2 0

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社